2/4

MENU SEARCH











## PATENT ABSTRACTS OF JAPAN

(11)Publication number: 10242208

(43)Date of publication of application: 11.09.1998

(51)Int.CI.

H01L 21/60 H01L 23/12

(21)Application number: 09040252

(71)Applicant:

OKI ELECTRIC IND CO LTD

(22)Date of filing: 25.02.1997

(72)Inventor:

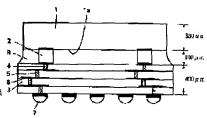
EGAWA YOSHIMI

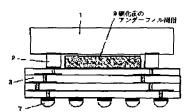
(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

#### (57)Abstract:

PROBLEM TO BE SOLVED: To improve the connection reliability and reduce the manufacturing time by laying a sheet-like setting resin on a substrate, bonding a semiconductor device to connection terminals with the resin sandwiched, and at the same time sealing the device on the substrate with the resin.

SOLUTION: A sheet-like unhardened underfill thermosetting resin 9 is prepared in a solid or half-solid state according to the shapes of a semiconductor chip 1 and interconnecting terminals 2 and thickness of these terminals 2 and can be easily mounted on a substrate (interpose) 3. This resin 9 is heat-cured into a perfect and tight solid state underfill resin 8 which adheres and seals the chip 1 to interposer 3. Thus it is possible to perfectly prevent unfilled parts or inner voids from occurring.





LEGAL STATUS

JP Pat. Appln. Laid-open No. 10-242208 in the name of OKI ELECTRIC IND. Co. Ltd.

# TRANSLATION TO RELEVANT PORTION IN JAPANESE PATENT APPLICATION LAID-OPEN NO. 10-242208

[0027] In Figs. 3(a) and 3(b), the reference numeral 1 denotes a semiconductor chip, 2 denotes an internal conductive terminal for electrically connecting the semiconductor and a printed circuit board, 3 denotes an interposer (substrate) made of a multilayered substrates, 4 denotes a via hole bored in the multilayered substrates, 5 denotes a metal plug, 6 denotes an upper wiring pattern, 7 denotes an external terminal or solder bump, 10 denotes an underfill resin before a heating curing treatment.

[0028] The aforementioned underfill resin 10 is a sheet of a thermosetting resin having a thickness corresponding to the height of the internal conductive terminal 2. As shown in Fig. 3(b), escape bores 10a are defined in the underfill resin 10 at positions of the internal conductive terminals 2 so as to have the shape similar to the terminals. In addition, the underfill resin 10 completely gets hardened under a heating treatment about 100-200 degrees Celsius and is transformed into the cured or hardened underfill resin. The cured underfill resin serves to bond the semiconductor chip 1 onto the interposer 3. The semiconductor chip 1 is thus embedded in the cured underfill resin on the interposer 3.

P. SWATER

(19) 日本国特許庁(JP)

# (12) 公開特許公報 (A) (11) 特許出願公開番号

特開平10-242208

(43)公開日 平成10年(1998)9月11日

(51) Int. C1. 6

識別記号

3 1 1 HO1L 21/60

23/12

FΙ

H O 1 L 21/60 311 S

23/12

L

審査請求 未請求 請求項の数9

OL

(全6頁)

(21)出願番号

特願平9-40252

(22)出願日

平成9年(1997)2月25日

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 江川 良実

東京都港区虎ノ門1丁目7番12号 沖電気工

業株式会社内

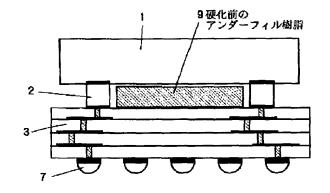
(74)代理人 弁理士 前田 実

#### (54) 【発明の名称】半導体装置の製造方法

#### (57)【要約】

【課題】 接続信頼性を向上することができ、製造時間 の短縮を図ることのできる半導体装置の製造方法を提供 する。

【解決手段】 半導体装置の製造方法は、半導体チップ 1とインターポーザ(基板)3の間にシート状の熱硬化 前アンダーフィル樹脂9を挟み込んで熱を加え、熱硬化 前アンダーフィル樹脂9を溶かして熱硬化させ、熱硬化 後のアンダーフィル樹脂8により半導体チップ1及びイ ンターポーザ(基板)3を封止する。



#### 【特許請求の範囲】

【請求項1】 半導体装置を基板表面に設けた接続端子に接続するとともに、前記半導体装置を前記基板上に接合する半導体装置の製造方法であって、

まず、前記基板上にシート状の硬化性樹脂を載置し、 前記半導体装置を、前記硬化性樹脂を挟み込むようにし て前記接続端子に接合すると同時に、前記硬化性樹脂に より前記半導体装置を前記基板上に樹脂封止することを 特徴とする半導体装置の製造方法。

【請求項2】 半導体装置を基板表面に設けた接続端子に接続するとともに、前記半導体装置を前記基板上に接合する半導体装置の製造方法であって、

まず、前記基板上にシート状の熱硬化性樹脂を載置し、 前記半導体装置を、前記熱硬化性樹脂を挟み込むように して前記接続端子に接合し、

前記熱硬化性樹脂を加熱硬化して前記半導体装置を前記 基板上に樹脂封止することを特徴とする半導体装置の製 造方法。

【請求項3】 前記硬化性樹脂は、前記接続端子の厚みに対応したシート厚に形成されたことを特徴とする請求 20 項1又は2の何れかに記載の半導体装置の製造方法。

【請求項4】 前記硬化性樹脂は、前記接続端子の端子 位置に、樹脂封止時の樹脂量を調整するニゲ穴を設けた ことを特徴とする請求項1、2又は3の何れかに記載の 半導体装置の製造方法。

【請求項5】 前記硬化性樹脂は、外周部に、樹脂封止時の樹脂の流れ出しを防止するガードリングを設けたことを特徴とする請求項1、2、3又は4の何れかに記載の半導体装置の製造方法。

【請求項6】 前記硬化性樹脂は、位置合わせ用の凹部を備え、

前記凹部と対向する基板表面に、該凹部との間で位置決めを行う凸部を設けたことを特徴とする請求項1、2、3、4又は5の何れかに記載の半導体装置の製造方法。

【請求項7】 前記硬化性樹脂は、熱硬化性アンダーフィル樹脂であることを特徴とする請求項1、2、3、4、5又は6の何れかに記載の半導体装置の製造方法。

【請求項8】 前記硬化性樹脂は、UV硬化型の硬化性 樹脂であることを特徴とする請求項1、2、3、4、5 又は6の何れかに記載の半導体装置の製造方法。

【請求項9】 前記硬化性樹脂は、固形状の硬化性樹脂であることを特徴とする請求項1、2、3、4、5、6、7又は8の何れかに記載の半導体装置の製造方法。

#### 【発明の詳細な説明】

#### [0001]

【発明の属する技術分野】本発明は、半導体チップを搭載する半導体装置の製造方法に係り、詳細には、例えば CSPパッケージ (Chip Size(Scale) Package) 構造を有する半導体装置の製造方法に関する。

#### [0002]

【従来の技術】半導体装置のパッケージの小型化と接続端子数の増加により接続端子間隔が狭くなり、従来の半田付けによる技術では困難になりつつある。そこで、裸の半導体装置を回路基板に直付けして実装面積の小型化と効率的使用を図ろうとする方法が考えられている。例えば、このような装置として特開平7-106357号

2

【0003】従来のこの種の半導体装置は、半導体チップをインターポーザ(基板)上に接続し、外部環境から10 半導体チップを保護するために半導体チップとインターポーザとの隙間に液状樹脂を充填後、熱硬化(キュア)を行って樹脂封止をしている。

#### [0004]

公報に開示されたものがある。

【発明が解決しようとする課題】しかしながら、このような従来のCSPパッケージ構造の製造方法にあっては、液状樹脂を充填する場合、半導体チップとインターポーザとの隙間が小さい(100μm)ため内部に大きいボイドや未充填が発生してしまうという問題点があった。

【0005】また、液状樹脂を充填後、熱硬化を行って 樹脂封止するため、上記ボイド等の発生を避けるために は液状樹脂をゆっくり充填しなければならず、また液状 樹脂の熱硬化に多大な時間がかかるという問題点があっ た

【0006】このように、ボイドや未充填が発生することによる接続信頼性の低下、液状樹脂を充填・硬化のための製造時間の増大という問題点があった。

【0007】本発明は、接続信頼性を向上することができ、製造時間の短縮を図ることのできる半導体装置の製 30 造方法を提供することを目的とする。

#### [0008]

【課題を解決するための手段】本発明に係る半導体装置の製造方法は、半導体装置を基板表面に設けた接続端子に接続するとともに、半導体装置を基板上に接合する半導体装置の製造方法であって、まず、基板上にシート状の硬化性樹脂を載置し、半導体装置を、硬化性樹脂を挟み込むようにして接続端子に接合すると同時に、硬化性樹脂により半導体装置を基板上に樹脂封止することを特徴とする。

40 【0009】本発明に係る半導体装置の製造方法は、半 導体装置を基板表面に設けた接続端子に接続するととも に、半導体装置を基板上に接合する半導体装置の製造方 法であって、まず、基板上にシート状の熱硬化性樹脂を 載置し、半導体装置を、熱硬化性樹脂を挟み込むように して接続端子に接合し、熱硬化性樹脂を加熱硬化して半 導体装置を基板上に樹脂封止することを特徴とする。

【0010】上記硬化性樹脂は、接続端子の厚みに対応 したシート厚に形成されたものであってもよく、また、 上記硬化性樹脂は、接続端子の端子位置に、樹脂封止時 50 の樹脂量を調整するニゲ穴を設けたものであってもよ いる

【0011】上記硬化性樹脂は、外周部に、樹脂封止時の樹脂の流れ出しを防止するガードリングを設けたものであってもよく、また、上記硬化性樹脂は、位置合わせ用の凹部を備え、凹部と対向する基板表面に、該凹部との間で位置決めを行う凸部を設けたものであってもよい

【0012】上記硬化性樹脂は、熱硬化性アンダーフィル樹脂であってもよく、また、上記硬化性樹脂は、UV 硬化型の硬化性樹脂であってもよく、さらに、上記硬化 性樹脂は、固形状の硬化性樹脂であってもよい。

#### [0013]

【発明の実施の形態】本発明に係る半導体装置の製造方法は、半導体装置として半導体チップを接続するCSPパッケージの半導体装置に適用することができる。

【0014】図1及び図2は本発明の第1の実施形態に係る半導体装置の製造方法のCSPパッケージ構造を示した図であり、図1はその完成品断面、図2はその製造方法を示す断面図である。

【0015】図1において、1は半導体チップ(半導体 装置)、2は半導体チップと基板とを電気的に接続する 内部接続端子、3は多層基板からなるインターポーザ

(基板)、4 は多層基板に開孔されたヴィアホール、5 はヴィアホール4 に充填されたメタルプラグ、6 はメタルプラグ 5 等を電気的に接続する上層配線、7 は半田ボールからなる外部端子、8 は熱硬化後のアンダーフィル樹脂(硬化性樹脂、熱硬化性樹脂)である。また、半導体チップ 1、内部接続端子 2 及びインターポーザ 3 の厚みは、それぞれ 3 5 0  $\mu$  m、 1 0 0  $\mu$  m 及び 4 0 0  $\mu$  m である。

【0016】すなわち、本半導体装置は、半導体チップ 1の下面1aとインターポーザ(基板)3が導電性の内 部接続端子2で接続されるとともに、半導体チップ1の 下面1aとインターポーザ(基板)3の隙間は熱硬化性 アンダーフィル樹脂8で封止され、インターポーザ(基 板)3の下面には外部端子(半田ボール)7が配置され た構造となっている。

【0017】特に、本半導体装置は、インターポーザ (基板) 3上に、内部接続端子2の厚み (100 $\mu$ m) に対応した板厚100 $\mu$ m程度のシート状の熱硬化前アンダーフィル樹脂9 (図2) を上記内部接続端子2が配置されない部分に載置し、その上に半導体チップ1を圧着し、熱硬化させた構成となっている。

【0018】上記熱硬化前アンダーフィル樹脂9は、半導体チップ1及び内部接続端子2の形状、及び内部接続端子2の厚みに合わせてあらかじめ用意したシート状の熱硬化樹脂であり、熱硬化前には固形又は半固形状態にある。したがって、インターポーザ(基板)3上に、容易にシート状の熱硬化前アンダーフィル樹脂9を搭載することができる。

【0019】また、上記熱硬化前アンダーフィル樹脂9は、熱硬化(100~200℃)により完全かつ強固に

固形化して熱硬化後アンダーフィル樹脂 8 となり、半導体チップ1及びインターポーザ(基板) 3 とを接着・封止する。

【0020】以下、上述のように構成されたCSPパッケージ構造の製造方法を説明する。図2は上記CSPパッケージ構造の製造方法を説明するための図である。

【0021】まず、半導体チップ1の入出力端子に内部接続端子2を取り付ける。この内部接続端子2としては、例えば金バンプ、金スタッドバンプ又は半田バンプがある。また、内部接続端子2とインターポーザ(基板)3を接続する方法として、導電性接着剤(例えば、銅ペースト、銀ペースト等)、Au-Au接合又は半田接合があり従来公知の方法が適用できる。

【0022】そして、内部接続端子2が取り付けられたインターポーザ(基板)3と半導体チップ1とを接合させる際、あらかじめその間にシート状の熱硬化前アンダーフィル樹脂9を挟み込む。具体的には、熱硬化前アンダーフィル樹脂9は、半導体チップ1及び内部接続端子2の形状、及び内部接続端子2の厚みに合わせて形成されたシート状の熱硬化樹脂であるから、図2に示すように、内部接続端子2が取り付けられたインターポーザ

(基板) 3上に精度よく載置することができる。この状態で、半導体チップ1を内部接続端子2及び熱硬化前アンダーフィル樹脂9上に載せ、位置決めした後圧着させる。

【0023】その後、この半導体装置に熱(100~2000°)を加え、熱硬化前アンダーフィル樹脂9を溶か30して熱硬化させ、熱硬化後のアンダーフィル樹脂8により半導体チップ1及びインターポーザ(基板)3を封止する。

【0024】以上説明したように、第1の実施形態に係る半導体装置の製造方法は、半導体チップ1とインターポーザ(基板)3の間にシート状の熱硬化前アンダーフィル樹脂9を挟み込んで熱を加え、熱硬化前アンダーフィル樹脂9を溶かして熱硬化させ、熱硬化後のアンダーフィル樹脂8により半導体チップ1及びインターポーザ(基板)3を封止するようにしたので、従来ディスペン40 ス工程で発生していた未充填や内部ボイドの発生を完全に防止することができる。

【0025】また、従来例のように液状樹脂を充填するものでは液状樹脂をゆっくり充填しなければならず、その後液状樹脂を熱硬化させるために2~3時間という多大な時間を要していたが、本実施形態では熱硬化前アンダーフィル樹脂9を熱硬化させる時間はわずか数10秒で済むため大幅な製造時間の短縮を図ることが可能になる。

【0026】図3は本発明の第2の実施形態に係る半導 50 体装置のCSPパッケージ構造を示す図である。なお、 20

本実施形態に係る半導体装置の説明にあたり前記図1及 び図2の半導体装置と同一構成部分には同一符号を付し ている。

【0027】図3(a)(b)において、1は半導体チップ、2は半導体チップと基板とを電気的に接続する内部接続端子、3は多層基板からなるインターポーザ(基板)、4は多層基板に開孔されたヴィアホール、5はメタルプラグ、6は上層配線、7は外部端子(半田ボール)、10は熱硬化前アンダーフィル樹脂である。

【0028】上記熱硬化前アンダーフィル樹脂10は、内部接続端子2の厚み(高さ)に対応したシート状の熱硬化樹脂であり、熱硬化前アンダーフィル樹脂10は、図3(b)に示すように内部接続端子2の位置に端子形状に相似したニゲ穴10aを設けた構成となっている。また、上記熱硬化前アンダーフィル樹脂10は、熱硬化(100~200℃)により完全かつ強固に固形化して熱硬化後アンダーフィル樹脂となり、半導体チップ1及びインターポーザ(基板)3とを接着・封止することができる。

【0029】以下、上述のように構成されたCSPパッケージ構造の製造方法を説明する。まず、半導体チップ1の入出力端子に内部接続端子2を取り付ける。

【0030】そして、内部接続端子2が取り付けられたインターポーザ(基板)3上に、内部接続端子2形状に対応したニゲ穴10aを有する熱硬化前アンダーフィル樹脂10(図3(b)参照)を載置する。このニゲ穴10aは、内部接続端子2の端子形状及び配置位置に対応して形成されているが、内部接続端子2の大きさよりも所定の余裕をもって形成されている。これにより、熱硬化前アンダーフィル樹脂10の搭載が容易になるとともに、封止樹脂の過不足が生じた時に、このニゲ穴10a部分に樹脂が逃げる又は該ニゲ穴10a部分が広がることになって樹脂の量が調整され、半導体チップ1とインターポーザ(基板)3とを適切に圧着させることが可能になる。

【0031】その後、この半導体装置に熱(100~200℃)を加え、熱硬化前アンダーフィル樹脂10を溶かして熱硬化させ、熱硬化後のアンダーフィル樹脂8により半導体チップ1及びインターポーザ(基板)3を封止する。

【0032】以上説明したように、第2の実施形態に係る半導体装置の製造方法は、熱硬化前アンダーフィル樹脂10にの内部接続端子2の位置にニゲ穴10aを設けているので、樹脂量の微調整が可能になり、封止の過不足を防ぐことができる。

【0033】図4は本発明の第3の実施形態に係る半導体装置のCSPパッケージ構造を示す図である。なお、本実施形態に係る半導体装置の説明にあたり前記図3の半導体装置と同一構成部分には同一符号を付している。

【0034】図4 (a) (b) において、1は半導体チ

ップ、2は半導体チップと基板とを電気的に接続する内部接続端子、3は多層基板からなるインターポーザ(基板)、4は多層基板に開孔されたヴィアホール、5はメタルプラグ、6は上層配線、7は外部端子(半田ボール)、11は熱硬化前アンダーフィル樹脂、12は樹脂の流れ出しを防止するガードリングである。

【0035】上記熱硬化前アンダーフィル樹脂11は、内部接続端子2の厚み(高さ)に対応したシート状の熱硬化樹脂であり、熱硬化前アンダーフィル樹脂11は、10 図4(b)に示すように内部接続端子2の位置に端子形状に相似したニゲ穴11aを設けた構成となっている。【0036】上記ガードリング12は、熱硬化前アンダーフィル樹脂11を熱により溶かした際の樹脂もれを防止するガードリングであり、ポリイミドテープ、ガラス等の絶縁体あるいは300℃程度まで使用可能な金属等からなり、熱硬化前アンダーフィル樹脂11の外周を取り囲むように形成されている。

【0037】以下、上述のように構成されたCSPパッケージ構造の製造方法を説明する。まず、半導体チップ 1の入出力端子に内部接続端子2を取り付ける。

【0038】そして、内部接続端子2が取り付けられた インターポーザ(基板)3上に、内部接続端子2形状に 対応したニゲ穴11aを有する熱硬化前アンダーフィル 樹脂11(図4(b)参照)を載置する。このニゲ穴1 1aは、前記図3の熱硬化前アンダーフィル樹脂10と 同様に、内部接続端子2の端子形状及び配置位置に対応 して形成されており、内部接続端子2の大きさよりも所 定の余裕をもって形成されている。また、この熱硬化前 アンダーフィル樹脂11の外周には、ガードリング12 が設けられている。

【0039】その後、この半導体装置に熱(100~2000)を加え、熱硬化前アンダーフィル樹脂11を溶かして熱硬化させ、熱硬化後のアンダーフィル樹脂8により半導体チップ1及びインターポーザ(基板)3を封止する。このとき、熱硬化前アンダーフィル樹脂11にガードリング12が設けているので、熱硬化前アンダーフィル樹脂11を溶かした際に、樹脂がインターポーザ(基板)3上に流れ出すことを防止することができる。また、このガードリング12は、組立て後取り除くことが可能である。

【0040】以上説明したように、第3の実施形態に係る半導体装置の製造方法は、熱硬化前アンダーフィル樹脂11の外周に、ガードリング12を設けているので、樹脂が溶けた際の流れ出しを防ぐ効果を得ることができる

【0041】図5は本発明の第4の実施形態に係る半導体装置のCSPパッケージ構造を示す図である。なお、本実施形態に係る半導体装置の説明にあたり前記図4の半導体装置と同一構成部分には同一符号を付している。

【0042】図5において、1は半導体チップ、2は半

導体チップと基板とを電気的に接続する内部接続端子、3は多層基板からなるインターポーザ(基板)、4は多層基板に開孔されたヴィアホール、5はメタルプラグ、6は上層配線、7は外部端子(半田ボール)、13は熱硬化前アンダーフィル樹脂、12は樹脂の流れ出しを防止するガードリングである。

【0043】上記熱硬化前アンダーフィル樹脂13は、内部接続端子2の厚み(高さ)に対応したシート状の熱硬化樹脂であり、熱硬化前アンダーフィル樹脂13は、内部接続端子2の位置に端子形状に相似したニゲ穴13 aが開孔されるとともに、位置合わせ用の凹部13bが形成されている。

【0044】また、上記凹部13bと対向するインターポーザ(基板)3上には、凹部13bに嵌まって凹部13bとの間で位置決めを行うための凸状の突起14(凸部)が設けられている。

【0045】以下、上述のように構成されたCSPパッケージ構造の製造方法を説明する。まず、半導体チップ 1の入出力端子に内部接続端子2を取り付ける。

【0046】そして、熱硬化前アンダーフィル樹脂13に形成された位置合わせ用の凹部13bとインターポーザ(基板)3上に形成された凸状の突起14により位置決めを行いながら、内部接続端子2が取り付けられたインターポーザ(基板)3上に、熱硬化前アンダーフィル樹脂13を載置する。

【0047】位置決めにより正確に熱硬化前アンダーフィル樹脂13が搭載されると、この半導体装置に熱(100~200℃)を加え、熱硬化前アンダーフィル樹脂13を溶かして熱硬化させ、熱硬化後のアンダーフィル樹脂8により半導体チップ1及びインターポーザ(基板)3を封止する。また、第3の実施形態と同様に、熱硬化前アンダーフィル樹脂13の周囲にはガードリング12が設置されているので、熱硬化前アンダーフィル樹脂13を溶かした際に、樹脂がインターポーザ(基板)3上に流れ出すことを防止することができる。

【0048】以上説明したように、第4の実施形態に係る半導体装置の製造方法は、熱硬化前アンダーフィル樹脂13に、位置合わせ用の凹部13bを形成し、凹部13bと対向するインターポーザ(基板)3上には、凹部13bとの間で位置決めを行うための凸状の突起14を設けているので、熱硬化前アンダーフィル樹脂13を搭載する際の位置合わせ精度を向上させることができる。【0049】なお、上記各実施形態では、硬化性樹脂として、熱硬化性アンダーフィル樹脂を用いているが、シート状の硬化性樹脂であればどのような樹脂でもよい。すなわち、半導体装置を基板上に接合する際、挟み込むことが可能な硬化性樹脂であればよく、どのような種類のものでもよい。さらに、熱硬化性樹脂には限定され

ず、例えばUV硬化型樹脂でもよい。

【0050】また、上記各実施形態では、半導体チップを接合する基板に、多層基板からなるインターポーザ (基板)を用いているが、勿論、多層基板には限定されず、例えば両面プリント基板でも同様の方法で実装が可能である。

【0051】また、上記各実施形態では、半導体装置として、CSPパッケージ (Chip Size(Scale) Package) に適用した例を説明したが、半導体装置を基板上に接合 する実装方法であればどのような装置でもよい。また、半導体装置や端子の形状、種類はどのようなものにも適用できることは言うまでもない。

【0052】さらに、上記各実施形態に係る半導体装置の製造方法において、その製造プロセス、チップ基板や他の半導体素子パッケージの種類、接続端子等の個数、パッケージ周囲の配置状態等は上記各実施形態に限定されない。

#### [0053]

【発明の効果】本発明に係る半導体装置の製造方法では、まず、前記基板上にシート状の硬化性樹脂を載置し、半導体装置を熱硬化性樹脂を挟み込むようにして接続端子に接合すると同時に、熱硬化性樹脂により半導体装置を基板上に樹脂封止するようにしたので、未充填や内部ボイドの発生を完全に防止することができ、大幅な製造時間の短縮を図ることができる。

#### 【図面の簡単な説明】

【図1】本発明を適用した第1の実施形態に係る半導体 装置の製造方法のCSPパッケージ構造を示す完成品断 面図である。

30 【図2】上記半導体装置の製造方法のCSPパッケージ 構造を示す断面図である。

【図3】本発明を適用した第2の実施形態に係る半導体装置の製造方法のCSPパッケージ構造を示す断面図である。

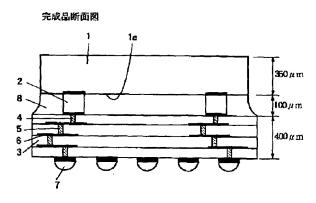
【図4】本発明を適用した第3の実施形態に係る半導体 装置の製造方法のCSPパッケージ構造を示す断面図で ある。

【図5】本発明を適用した第4の実施形態に係る半導体 装置の製造方法のCSPパッケージ構造を示す断面図で 40 ある。

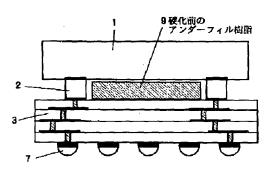
### 【符号の説明】

1 半導体チップ (半導体装置)、2 内部接続端子、3 インターポーザ (基板)、4 ヴィアホール、5 メタルプラグ、6 上層配線、7 外部端子、8 熱硬化後のアンダーフィル樹脂、9,10,11,13 熱硬化前アンダーフィル樹脂、10a,11a ニゲ穴、12 ガードリング、13b 凹部、14 突起(凸部)

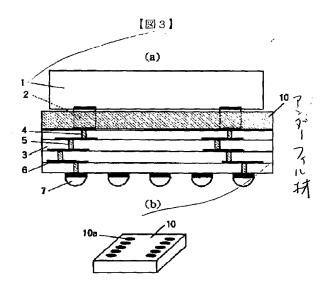
【図1】



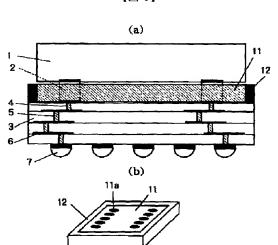
【図2】



- 1:半導体チップ
- 2:内部接続端子
- 3:インターポーザ(基板)
- 4: ヴィアホール
- 5:メタルプラグ
- 6:上層配線
- 7:外部端子(半田ボール)
- 8:硬化後のアンダーフィル樹脂(熱硬化性)



【図4】



【図5】

